

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Hideki MATSUZAWA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 5, 2003**

For: **LEAD FRAME AND METHOD OF MANUFACTURING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: August 5, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-228661, filed August 6, 2002**

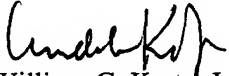
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

  
William G. Kratz, Jr.  
Attorney for Applicants  
Reg. No. 22,631

WGK/jaz  
Atty. Docket No. **030926**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    8 月    6 日  
Date of Application:

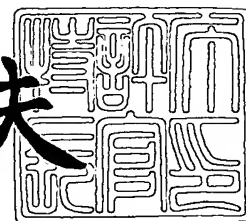
出 願 番 号            特 願 2 0 0 2 - 2 2 8 6 6 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 2 8 6 6 1 ]

出    願    人            新 光 電 気 工 業 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年    7 月 2 4 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 5 8 8 7 0

【書類名】	特許願
【整理番号】	13-288
【提出日】	平成14年 8月 6日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 23/48
【発明の名称】	リードフレーム及びその製造方法
【請求項の数】	13
【発明者】	
【住所又は居所】	長野県長野市大字栗田字舎利田7 1 1番地 新光電気工業株式会社内
【氏名】	松沢 秀樹
【発明者】	
【住所又は居所】	長野県長野市大字栗田字舎利田7 1 1番地 新光電気工業株式会社内
【氏名】	植松 悦夫
【特許出願人】	
【識別番号】	000190688
【氏名又は名称】	新光電気工業株式会社
【代理人】	
【識別番号】	100091672
【住所又は居所】	東京都中央区日本橋人形町3丁目1 1 1番7号 山西ビル4階
【弁理士】	
【氏名又は名称】	岡本 啓三
【電話番号】	03-3663-2663
【手数料の表示】	
【予納台帳番号】	013701
【納付金額】	21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816048

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 リードフレーム及びその製造方法

【特許請求の範囲】

【請求項 1】 搭載する各半導体素子に対応してそれぞれ画定されたダイパッドと、

各ダイパッドに対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された複数のリードと、

前記各ダイパッドと該ダイパッドに対応する複数のリードとの間の領域において該ダイパッドの周囲を少なくとも部分的に囲むように形成された電源／グランド端子用の導体部とを有し、

前記各ダイパッド、前記複数のリード及び前記電源／グランド端子用の導体部が、接着テープによって支持されていることを特徴とするリードフレーム。

【請求項 2】 各半導体素子搭載領域に対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された複数のリードと、

前記各半導体素子搭載領域と該半導体素子搭載領域に対応する複数のリードとの間の領域において該半導体素子搭載領域の周囲を少なくとも部分的に囲むように形成された電源／グランド端子用の導体部とを有し、

前記複数のリード及び前記電源／グランド端子用の導体部が、接着テープによって支持されていることを特徴とするリードフレーム。

【請求項 3】 前記電源／グランド端子用の導体部に連結された複数のサポートバーを有し、該複数のサポートバーが、前記接着テープによって支持されていると共に、最終的に半導体装置として分割される領域の外周まで延在していることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 4】 前記複数のサポートバーを設ける代わりに、当該サポートバーが占有するスペースに複数のリードが追加的に設けられていることを特徴とする請求項 3 に記載のリードフレーム。

【請求項 5】 前記電源／グランド端子用の導体部が、対応するダイパッド又は半導体素子搭載領域の周囲にリング状に形成されていることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 6】 前記電源／グランド端子用の導体部が、対応するダイパッド又は半導体素子搭載領域の周囲に二重のリング状に形成されていることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 7】 前記電源／グランド端子用の導体部が、対応するダイパッド又は半導体素子搭載領域の周囲を部分的に囲むように形成されていることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 8】 前記電源／グランド端子用の導体部が、対応する複数のリードのうちの少なくとも 1 本のリードに接続されていることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 9】 金属板をエッチング加工又はプレス加工して、搭載する各半導体素子毎にダイパッドと、該ダイパッドに対応する複数のリードと、該ダイパッドと該複数のリードとの間の領域において該ダイパッドの周囲を少なくとも部分的に囲むように、かつ、該ダイパッドに連結するように電源／グランド端子用の導体部が配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、

前記基板フレームの一方の面の、前記導体部と前記ダイパッドを連結している部分に凹部を形成する工程と、

前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、

前記基板フレームの前記凹部が形成されている部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 10】 エッチング加工又はプレス加工により前記基板フレームを形成する工程と前記凹部を形成する工程に代えて、

金属板の両面にそれぞれ所定の形状にパターンニングされたレジストを用いて前記金属板の両面からの同時エッチングにより、搭載する各半導体素子毎にダイパッドと、該ダイパッドに対応する複数のリードと、該ダイパッドと該複数のリードとの間の領域において該ダイパッドの周囲を少なくとも部分的に囲むように、かつ、該ダイパッドに連結するように電源／グランド端子用の導体部が配列された単位基板フレームが複数個連結された基板フレームを形成すると共に、該基板

フレームの一方の面の、前記導体部と前記ダイパッドを連結している部分に凹部を形成する工程を含むことを特徴とする請求項 9 に記載のリードフレームの製造方法。

【請求項 11】 金属板をエッチング加工又はプレス加工して、搭載する各半導体素子毎に半導体素子搭載領域と、該半導体素子搭載領域に対応する複数のリードと、該半導体素子搭載領域と該複数のリードとの間の領域において該半導体素子搭載領域の周囲を少なくとも部分的に囲むように、かつ、当該複数のリードのうちの少なくとも 1 本のリードに連結するように電源／グランド端子用の導体部が配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、

前記基板フレームの一方の面の、前記導体部と前記少なくとも 1 本のリードを連結している部分に凹部を形成する工程と、

前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、

前記基板フレームの前記凹部が形成されている部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 12】 エッチング加工又はプレス加工により前記基板フレームを形成する工程と前記凹部を形成する工程に代えて、

金属板の両面にそれぞれ所定の形状にパターンニングされたレジストを用いて前記金属板の両面からの同時エッチングにより、搭載する各半導体素子毎に半導体素子搭載領域と、該半導体素子搭載領域に対応する複数のリードと、該半導体素子搭載領域と該複数のリードとの間の領域において該半導体素子搭載領域の周囲を少なくとも部分的に囲むように、かつ、当該複数のリードのうちの少なくとも 1 本のリードに連結するように電源／グランド端子用の導体部が配列された単位基板フレームが複数個連結された基板フレームを形成すると共に、該基板フレームの一方の面の、前記導体部と前記少なくとも 1 本のリードを連結している部分に凹部を形成する工程を含むことを特徴とする請求項 11 に記載のリードフレームの製造方法。

【請求項 13】 前記凹部を形成する工程と前記接着テープを貼り付ける工

程の間に、前記基板フレームの全面に金属膜を形成する工程を含むことを特徴とする請求項 9 から 12 のいずれか一項に記載のリードフレームの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を実装する QFN (Quad Flat Non-leaded package) 等のリードレス・パッケージ（半導体装置）に用いられるリードフレームに関し、特に、複数の電源端子及びグランド端子を備えた半導体素子を実装する場合に当該電源端子等に接続されるリードの数を削減するのに適応された形状を有するリードフレーム及びその製造方法に関する。

【0002】

以下の記述では、電源端子とグランド端子を総称して、便宜上、「電源／グランド端子」とも称する。

【0003】

【従来の技術】

図 1 は従来の一形態に係るリードフレーム及びこれを用いた半導体装置の構成を模式的に示したものである。

【0004】

図 1 (a) は、帯状のリードフレーム 10 の一部分を平面的に見た構成を示している。このリードフレーム 10 は、外フレーム 11 と、その内側でマトリクス状に配列された内フレーム 12 (「セクションバー」ともいう。) によって形成されたフレーム構造を有している。外フレーム 11 には、リードフレーム 10 を搬送する際に搬送機構に係合されるガイド孔 13 が設けられている。各フレーム 11, 12 によって規定される開口部の中央部には、半導体素子（チップ）が搭載される四角形のダイパッド 14 が配置されており、このダイパッド 14 は、対応するフレーム 11, 12 の四隅から延在する 4 本のサポートバー 15 によって支持されている。また、各フレーム 11, 12 からダイパッド 14 に向かって複数のリード 16 が櫛歯状に延在している。各リード 16 は、搭載する半導体素子の電極端子（信号端子と電源／グランド端子の双方を含む）に電氣的に接続さ



れるインナーリード部 16 a (図 1 (b)) と、マザーボード等の実装用基板の配線に電氣的に接続されるアウターリード部 (外部接続端子) 16 b とからなっている。また、破線で示す CL は、パッケージのアセンブリ工程において最終的にリードフレーム 10 を各パッケージ (半導体装置) 毎に分割する際の分割線を示す。なお、図 1 には明示的に示していないが、パッケージ毎の分割に際してはセクションバー (内フレーム 12) 全体が除去される。

#### 【0005】

図 1 (b) は、上記のリードフレーム 10 を用いて作製された QFN のパッケージ構造を有する半導体装置 20 の断面構造を示している。半導体装置 20 において、21 はダイパッド 14 に搭載された半導体素子、22 は半導体素子 21 の各電極端子をそれぞれ対応するリード 16 のインナーリード部 16 a に接続するボンディングワイヤ、23 は半導体素子 21、ボンディングワイヤ 22 等を保護するための封止樹脂を示す。

#### 【0006】

かかる半導体装置 20 (QFN パッケージ) は、基本的には、リードフレーム 10 のダイパッド 14 に半導体素子 21 を搭載 (ダイボンディング) し、半導体素子 21 の各電極端子と対応する各リード 16 とをボンディングワイヤ 22 により電氣的に接続 (ワイヤボンディング) し、半導体素子 21、ボンディングワイヤ 22 等を封止樹脂 23 により封止 (一括モールドイング又は個別モールドイング) した後、リードフレーム 10 を分割線 CL に沿ってダイサー等により各パッケージ毎に分割 (ダイシング) することにより、作製され得る。

#### 【0007】

かかるパッケージのアセンブリ工程においてワイヤ・ボンディングを行う際、図 1 (c) に模式的に示すように、半導体素子 21 の各電極端子 21 a (信号端子又は電源／グランド端子) はそれぞれ対応する各リード 16 に 1 対 1 の対応関係をもってボンディングワイヤ 22 により接続される。従って、半導体素子 21 の電極端子 21 a の中に複数の電源／グランド端子が含まれている場合、各電源／グランド端子についても同様に、それぞれ対応する各リード 16 に 1 対 1 の対応関係をもって接続されることになる。

**【0008】**

この場合、電極端子 21a のうちの各信号端子については、各々の電氣的な属性が異なるため、各リード 16 に 1 対 1 の対応関係をもって接続する必要があるが、各電源／グランド端子（特にグランド端子）については、各々の電氣的な属性は同じであるため、各リード 16 に対して必ずしも 1 対 1 の対応関係をもって接続する必要はない。言い換えると、各リード 16 上でのワイヤ 22 のボンディング位置にスペース的な余裕があれば、1 本のリード 16 に 2 つ以上の電源／グランド端子をまとめて接続することも可能である。

**【0009】**

しかし現状の技術では、最近の多ピン化の要求に伴い各リードのリード幅及びその配設間隔が狭くなってきているため、各リード上でのワイヤのボンディング位置が制限されてしまうことを反映して、図 1（c）に示したように半導体素子 21 の各電極端子 21a が各リード 16 に 1 対 1 の対応関係をもって接続される場合が殆どである。

**【0010】****【発明が解決しようとする課題】**

上述したように従来の技術では、パッケージ（半導体装置）のアセンブリ工程においてワイヤ・ボンディングを行う際に半導体素子の各電極端子はそれぞれ対応する各リードに 1 対 1 の対応関係をもって接続されていたため、当該半導体素子の電極端子の中に複数の電源／グランド端子が含まれている場合に、その電源／グランド端子の数に応じて相当な数のリードを電源／グランド端子用として備えなければならず、その分、信号端子用として用いることができるリードの数が相対的に減少するといった課題があった。

**【0011】**

因みに、最近の 32 ビット CPU 用等の半導体素子では、全外部端子のうち電源／グランド端子の数は 30～40% 程度（つまり、信号端子の数は 60～70% 程度）を占めている。

**【0012】**

この場合、信号端子用のリードの数が当該半導体素子に必要とされるリード数

に満たないときはリード数を増やす必要があり、このためには、各リードのリード幅及びその配設間隔を共に狭くするか、或いは、各リードのリード幅等はそのままにしてリードフレーム（ひいてはパッケージ）のサイズを大きくする必要がある。しかし、各リードのリード幅等を狭くする方法は、技術的な面（リードフレームのパターニングを行うためのエッチングやプレス等）で困難を伴い、またリードフレームのサイズを大きくする方法では、その材料コストが増大するといった別の問題が生じる。

#### 【0013】

また、半導体素子の各電極端子がリードフレームの各リードに1対1の対応関係をもって接続されるとはいえ、最近の技術動向（多ピン化→リード幅及びその配設間隔が狭くなってきている）を反映して、各リード上でのワイヤのボンディング位置が制限されるため、ワイヤボンディング位置の自由度が小さいといった不都合もあった。これは、ワイヤボンディング処理を困難にするものである。

#### 【0014】

本発明は、上述した従来技術における課題に鑑み創作されたもので、複数の電源／グランド端子を備えた半導体素子を実装する場合に、当該電源／グランド端子に接続されるリードの数を削減し、パッケージの縮小化に寄与すると共に、ワイヤボンディング位置の自由度を高めることができるリードフレーム及びその製造方法を提供することを目的とする。

#### 【0015】

##### 【課題を解決するための手段】

上述した従来技術の課題を解決するため、本発明の第1の形態によれば、搭載する各半導体素子に対応してそれぞれ画定されたダイパッドと、各ダイパッドに対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された複数のリードと、前記各ダイパッドと該ダイパッドに対応する複数のリードとの間の領域において該ダイパッドの周囲を少なくとも部分的に囲むように形成された電源／グランド端子用の導体部とを有し、前記各ダイパッド、前記複数のリード及び前記電源／グランド端子用の導体部が、接着テープによって支持されていることを特徴とするリードフレームが提供される。

**【0 0 1 6】**

この第 1 の形態に係るリードフレームの構成によれば、通常のリードフレームの構成（ダイパッド及び該ダイパッドに対応する複数のリード）に加えて、該ダイパッドの周囲を少なくとも部分的に囲むように電源／グランド端子用の導体部が形成されているので、この導体部を電源／グランド端子専用のリードとして利用することができる。

**【0 0 1 7】**

すなわち、この導体部を複数のリードのうち電源／グランド端子専用に割り当てた 1 本のリードに接続すれば、複数の電源／グランド端子を備えた半導体素子を実装する場合に、半導体素子の各電源／グランド端子を、従来のように各リードに 1 対 1 の対応関係をもって接続するのではなく、当該導体部にそれぞれ接続することで、共通の電源／グランド端子専用のリードに接続されたことになる。つまり、半導体素子の各電源／グランド端子に接続されるリードの数を最少限の 1 本に削減することができる。これによって、従来必要としていた相当な数の電源／グランド端子専用のリードが不要となり、その不要となった分、パッケージ（半導体装置）の縮小化を図ることが可能となる。

**【0 0 1 8】**

また、導体部はダイパッドの周囲を少なくとも部分的に囲むようにして（つまり、比較的広い領域に亘って）形成されているので、パッケージ（半導体装置）のアセンブリ工程においてワイヤ・ボンディングを行う際に、導体部上でのワイヤのボンディング位置に十分なスペースが確保され、ワイヤボンディング位置の自由度を高めることができる。

**【0 0 1 9】**

また、本発明の第 2 の形態によれば、各半導体素子搭載領域に対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された複数のリードと、前記各半導体素子搭載領域と該半導体素子搭載領域に対応する複数のリードとの間の領域において該半導体素子搭載領域の周囲を少なくとも部分的に囲むように形成された電源／グランド端子用の導体部とを有し、前記複数のリード及び前記電源／グランド端子用の導体部が、接着テープによって支持されている

ことを特徴とするリードフレームが提供される。

#### 【0020】

この第2の形態に係るリードフレームの構成によれば、上記の第1の形態に係るリードフレームと同様に、該半導体素子搭載領域の周囲を少なくとも部分的に囲むように電源／グランド端子用の導体部が形成されているので、この導体部を電源／グランド端子専用のリードとして利用することで、半導体素子の各電源／グランド端子に接続されるリードの数を削減することができ、パッケージ（半導体装置）の縮小化と共に、ワイヤボンディング位置の自由度を高めることができる。

#### 【0021】

また、本発明の他の形態によれば、上記の第1の形態に係るリードフレームを製造する方法が提供される。この製造方法は、金属板をエッチング加工又はプレス加工して、搭載する各半導体素子毎にダイパッドと、該ダイパッドに対応する複数のリードと、該ダイパッドと該複数のリードとの間の領域において該ダイパッドの周囲を少なくとも部分的に囲むように、かつ、該ダイパッドに連結するように電源／グランド端子用の導体部が配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、前記基板フレームの一方の面の、前記導体部と前記ダイパッドを連結している部分に凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記基板フレームの前記凹部が形成されている部分を切断する工程とを含むことを特徴とする。

#### 【0022】

また、本発明の更に他の形態によれば、上記の第2の形態に係るリードフレームを製造するリードフレームの製造方法が提供される。この製造方法は、金属板をエッチング加工又はプレス加工して、搭載する各半導体素子毎に半導体素子搭載領域と、該半導体素子搭載領域に対応する複数のリードと、該半導体素子搭載領域と該複数のリードとの間の領域において該半導体素子搭載領域の周囲を少なくとも部分的に囲むように、かつ、当該複数のリードのうちの少なくとも1本のリードに連結するように電源／グランド端子用の導体部が配列された単位基板フ

レームが複数個連結された基板フレームを形成する工程と、前記基板フレームの一方の面の、前記導体部と前記少なくとも 1 本のリードを連結している部分に凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記基板フレームの前記凹部が形成されている部分を切断する工程とを含むことを特徴とする。

### 【0023】

#### 【発明の実施の形態】

図2は本発明の第1の実施形態に係るQFN等のリードレス・パッケージに使用されるリードフレームの構成を模式的に示したものである。図中、(a)はリードフレームの一部分を平面的に見た構成、(b)は(a)のA-A'線に沿って見たリードフレームの断面構造をそれぞれ示している。

### 【0024】

図2において、30は帯状のリードフレームの一部分（最終的に個々の半導体装置として分割される領域に対応する部分）を示し、基本的には、金属板をエッチング加工又はプレス加工して得られる基板フレーム31からなっている。この基板フレーム31において、32は搭載する各半導体素子（チップ）に対応してそれぞれ画定された略四角形のダイパッド、33は該ダイパッド32に対応して配列された複数（図示の例では32本）のリードを示し、各リード33は、図示のように当該ダイパッド32から分離して外方に櫛歯状に延在し、かつ、最終的に半導体装置として分割される領域の外周に沿って配列されている。各リード33は、搭載する半導体素子の電極端子（信号端子と電源／グランド端子の双方を含む）に電氣的に接続されるインナーリード部と、マザーボード等の実装用基板の配線に電氣的に接続されるアウターリード部（外部接続端子）とからなっている。また、該ダイパッド32に対応して配列された各リード33は、図2には特に示していないが、隣合うダイパッドに対応する各リードにフレーム部（図1の12で示す部分）を介して接続され、あるいは、最も外側のフレーム部（図1の11で示す部分）に接続されている。

### 【0025】

また、34は本発明の特徴をなす電源／グランド端子用の導体部を示し、ダイ

パッド32と該ダイパッド32に対応する複数のリード33との間の領域において該ダイパッド32の周囲にリング状に形成されている。このリング状の導体部34は、図示のように32本のうちの1本の電源／グランド端子用のリード33（P／G）に接続されていると共に、フレーム部（図1において11，12で示す部分）の四隅から延在する4本のサポートバー35によって支持されている。つまり、各ダイパッド32の周囲にそれぞれ形成された各導体部34は、それぞれ対応する4本のサポートバー35及びフレーム部を介して相互に連結（接続）されている。

#### 【0026】

また、基板フレーム31の全面には金属膜36が形成され、基板フレーム31の裏面（図2（b）の例では下側の面）には接着テープ37が貼り付けられている。この接着テープ37の貼り付け（テーピング）は、基本的には、後の段階で行うパッケージのアセンブリ工程においてモールドイング（樹脂封止）の際に封止樹脂のフレーム裏面への漏れ出し（「モールドフラッシュ」ともいう。）を防止するための対策として行われる。さらに、接着テープ37は、フレーム部と共にダイパッド32、各リード33、導体部34及びサポートバー35を支持すると共に、後述するリードフレーム30の製造工程においてダイパッド32と導体部34の連結部分（本実施形態では4箇所）を切断したときに導体部34から分離されるダイパッド32が脱落しないように支持し、さらに各リード33の所定部分を切断したときにフレーム部から分離される個々のリード33が脱落しないように支持する機能を有している。

#### 【0027】

また、38は後述するようにハーフエッチングにより形成された凹部を示し、この凹部38を形成する位置は、後述するようにダイパッド32と導体部34を連結している部分（4箇所）に選定されている。

#### 【0028】

次に、本実施形態に係るリードフレーム30を製造する方法について、その製造工程の一例を順に示す図3及び図4を参照しながら説明する。なお、図4において（a）～（d）は、図3におけるA-A'線に沿って見たときの断面構造を

示している。

#### 【0029】

先ず最初の工程では（図3参照）、金属板をエッチング加工又はプレス加工して基板フレーム31を形成する。

#### 【0030】

形成されるべき基板フレーム31は、図3の上側に概略的に示すように、搭載する各半導体素子毎にそれぞれ割り当てられた単位基板フレームUFMが複数個マトリクス状に連結された構造を有している。各単位基板フレームUFMにおいては、その周囲のフレーム部を除いた部分（ハッチングで示す部分）として図3の下側に模式的に示すように、ダイパッド32と対応する各リード33との間の領域において該ダイパッド32の周囲にリング状に電源／グランド端子用の導体部34が形成され、この導体部34が、1本の電源／グランド端子用のリード33（P／G）に接続されると共に、フレーム部の四隅から延在する4本のサポートバー35によって支持され、さらにダイパッド32に4箇所（図中、○で囲んだR1～R4で示す部分）で接続されている。

#### 【0031】

なお、金属板の材料としては、例えば、銅（Cu）又はCuをベースにした合金、鉄－ニッケル（Fe－Ni）又はFe－Niをベースにした合金等が用いられる。また、金属板（基板フレーム31）の厚さとしては、200 $\mu$ m程度のものが選定される。

#### 【0032】

次の工程では（図4（a）参照）、基板フレーム31の一方の面（図示の例では下側の面）の所定部分に、ハーフエッチングにより凹部38を形成する。

#### 【0033】

この所定部分（凹部38を形成する位置）は、図3に示す平面構成においてリング状の導体部34とダイパッド32を連結している4箇所の部分R1～R4に選定される。

#### 【0034】

ハーフエッチングは、その所定部分の領域を除いた基板フレーム31の全面を



マスク（図示せず）で覆った後、例えばウェットエッチングにより行うことができる。本工程ではハーフエッチングによって凹部 38 を形成しているが、プレス加工によって凹部 38 を形成することも可能である。凹部 38 は、 $160\mu\text{m}$ 程度の深さに形成される。

#### 【0035】

次の工程では（図 4（b）参照）、凹部 38 が形成された基板フレーム 31 の全面に、電解めっきにより金属膜 36 を形成する。

#### 【0036】

例えば、基板フレーム 31 を給電層として、その表面に密着性向上のためのニッケル（Ni）めっきを施した後、この Ni 層上に導電性向上のためのパラジウム（Pd）めっきを施し、さらに Pd 層上に金（Au）フラッシュを施して金属膜（Ni/Pd/Au）36 を形成する。

#### 【0037】

なお、本実施形態では、リードフレームの製造工程（図 4（b）の工程）において金属膜 36 を形成しているが、かかる金属膜は、必ずしもこの段階で形成する必要はなく、後の段階で形成してもよい。例えば、パッケージ（半導体装置）のアセンブリ工程においてモールディング（樹脂封止）を行った後、この封止樹脂から露出するリード部分に無電解めっきや印刷法などではんだ膜（金属膜）を形成してもよい。

#### 【0038】

次の工程では（図 4（c）参照）、基板フレーム 31 の凹部 38 が形成されている側の面（図示の例では下側の面）に、エポキシ樹脂やポリイミド樹脂等からなる接着テープ 37 を貼り付ける。

#### 【0039】

最後の工程では（図 4（d）参照）、凹部 38 が形成されている部分、すなわち、ダイパッド 32 とリング状の導体部 34 を連結している部分（図 3 において R1～R4 で示す部分）を、例えば、金型（ポンチ）やブレード BL を用いて押し抜くようにして、切断する。これによって、本実施形態に係るリードフレーム 30（図 2）が作製されたことになる。

**【0040】**

上述した実施形態に係るリードフレーム 30 の製造方法においては、基板フレーム 31 の形成（図 3）と凹部 38 の形成（図 4（a））を別々の工程で行っているが、これらの形成を同じ工程で行うことも可能である。その場合の製造工程の一例を図 5 に示す。

**【0041】**

図 5 に例示する方法では、先ず、金属板 MP（例えば、Cu 又は Cu をベースにした合金板）の両面にエッチングレジストを塗布し、それぞれ所定の形状にパターニングされたマスク（図示せず）を用いて当該レジストのパターニングを行い、レジストパターン RP1 及び RP2 を形成する（図 5（a））。

**【0042】**

この場合、上側（半導体素子が搭載される側）のレジストパターン RP1 については、金属板 MP の、ダイパッド 32、各リード 33、導体部 34、サポートバー 35、導体部 34 とダイパッド 32 を連結している部分 R1～R4、導体部 34 と電源／グランド端子用のリード 33（P／G）を連結している部分にそれぞれ対応する領域が被覆されるように、当該レジストのパターニングを行う。一方、下側のレジストパターン RP2 については、上側のレジストパターン RP1 と同じ領域が被覆され、且つ、凹部 38 となる部分に対応する領域が露出するように、当該レジストのパターニングを行う。

**【0043】**

このようにして金属板 MP の両面をレジストパターン RP1 及び RP2 で覆った後、両面からの同時エッチング（例えばウェットエッチング）により、図 3 の下側に示したような基板フレーム 31 の形成と凹部 38 の形成を同時に行う（図 5（b））。

**【0044】**

さらに、エッチングレジスト（RP1、RP2）を剥離して、図 4（a）に示したような構造の基板フレーム 31 を得る（図 5（c））。この後の工程は、図 4（b）以降に示した工程と同じである。

**【0045】**

図 5 に例示する方法によれば、基板フレーム 31 の形成と凹部 38 の形成を 1 つの工程で行っているので、上述した実施形態（図 2 ～図 4）の場合と比べて工程の簡略化を図ることができる。

#### 【0046】

図 6 は上述した実施形態のリードフレーム 30 を用いて作製された QFN のパッケージ構造を有する半導体装置の一例を模式的に示したものであり、（a）は半導体装置 40 を断面的に見た構成、（b）はパッケージのアセンブリ工程においてワイヤボンディングを行った後の状態を平面的に見た構成をそれぞれ示している。

#### 【0047】

図示の半導体装置 40 において、41 はダイパッド 32 上に搭載された半導体素子（チップ）、42 及び 42（P/G）は半導体素子 41 の各電極端子（信号端子及び電源／グランド端子）をそれぞれ各リード 33 及びリング状の導体部 34 に接続するボンディングワイヤ、43 は半導体素子 41、ボンディングワイヤ 42、42（P/G）等を保護するための封止樹脂を示す。

#### 【0048】

この半導体装置 40（QFN パッケージ）を製造する方法については、従来の QFN パッケージの製造プロセスと同じであるので、その詳細な説明は省略するが、基本的には、リードフレーム 30 の各ダイパッド 32 にそれぞれ半導体素子 41 を搭載する工程（ダイボンディング）、半導体素子 41 の各電極端子をそれぞれ対応する各リード 33 及びリング状の導体部 34 にボンディングワイヤ 42 及び 42（P/G）により電氣的に接続する工程（ワイヤボンディング）、各半導体素子 41、ボンディングワイヤ 42、42（P/G）等を封止樹脂により封止する工程（一括モールドイング又は個別モールドイング）、接着テープ 37 を剥離除去した後、リードフレーム（基板フレーム 31）をダイサー等により各パッケージ毎に分割する工程（ダイシング）を含む。

#### 【0049】

以上説明したように、第 1 の実施形態に係るリードフレーム 30（図 2）の構成によれば、ダイパッド 32 の周囲にリング状に電源／グランド端子用の導体部

34が形成され、この導体部34が、32本のリード33のうち電源／グランド端子専用割り当てた1本のリード33（P／G）に接続されているので、複数の電源／グランド端子を備えた半導体素子41（図6）を実装する場合に、当該半導体素子41の各電源／グランド端子を、従来のように各リードに1対1の対応関係をもって接続するのではなく、このリング状の導体部34にそれぞれ接続することで、共通の電源／グランド端子専用のリード33（P／G）に接続されたことになる。

#### 【0050】

つまり、搭載する半導体素子41の各電源／グランド端子に接続されるリードの数を最少限の1本（リード33（P／G））に削減することができる。これによって、従来必要としていた相当な数の電源／グランド端子専用のリードが不要となり、その不要となった分、パッケージ（半導体装置40）の縮小化を図ることが可能となる。

#### 【0051】

また、導体部34はダイパッド32の周囲にリング状に（つまり、比較的広い領域に亘って）形成されているので、パッケージ（半導体装置40）のアセンブリ工程においてワイヤボンディングを行う際に、導体部34上でのワイヤのボンディング位置に十分なスペースが確保され、ワイヤボンディング位置の自由度を高めることができる。

#### 【0052】

さらに、電源／グランド端子用の導体部34がダイパッド32の周囲にリング状に形成されていることにより、動作時の電流の均一化を図ることができる。

#### 【0053】

図7は本発明の第2の実施形態に係るQFN等のリードレス・パッケージに使用されるリードフレームの構成を模式的に示したものであり、（a）はリードフレームの一部分（最終的に個々の半導体装置として分割される領域に対応する部分）を平面的に見た構成、（b）は（a）のA-A'線に沿って見たリードフレームの断面構造をそれぞれ示している。

#### 【0054】

本実施形態に係るリードフレーム 30 a は、第 1 の実施形態（図 2）に係るリードフレーム 30 の構成と比べて、リング状の導体部 34 を支持していた 4 本のサポートバー 35 が設けられていない点、導体部 34 が電源／グランド端子用のリード 33（P／G）に連結（接続）されていない点で、基本的に相違する。他の構成については、第 1 の実施形態の場合と同じであるので、その説明は省略する。

#### 【0055】

同様にリードフレーム 30 a の製造方法についても、基本的には図 3 及び図 4 に示した製造工程、あるいは図 5 に示した製造工程と同じであるので、その詳細な説明は省略する。但しこの第 2 の実施形態の場合、上述した構成上の相違に起因して、図 8 に示すように基板フレーム 31 a のパターン形状が異なる。すなわち、基板フレーム 31 a の各単位基板フレーム UFM において、ダイパッド 32 と各リード 33 との間の領域において該ダイパッド 32 の周囲にリング状に導体部 34 が形成され、この導体部 34 が、ダイパッド 32 に 4 箇所（図中、○で囲んだ R11～R14 で示す部分）で接続されると共に、4 本のリード 33（うち 1 本は電源／グランド端子用のリード 33（P／G））に 4 箇所（図中、○で囲んだ R15～R18 で示す部分）で接続されている。そして、これら 8 箇所の部分 R11～R18 において凹部 38 が形成され（図 7（b）参照）、最終的に当該部分が切断される。

#### 【0056】

図 9 は第 2 の実施形態のリードフレーム 30 a を用いて作製された QFN のパッケージ構造を有する半導体装置の一例を模式的に示したものであり、（a）は半導体装置 40 a を断面的に見た構成、（b）はパッケージのアセンブリ工程においてワイヤボンディングを行った後の状態を平面的に見た構成をそれぞれ示している。図中、41 は半導体素子（チップ）、42, 42（P／G）はそれぞれボンディングワイヤ、43 は封止樹脂を示す。図示のように、導体部 34 は、ボンディングワイヤ 42（P／G）により電源／グランド端子用のリード 33（P／G）に電氣的に接続されている。

#### 【0057】

この第2の実施形態に係るリードフレーム30a(図7)の構成によれば、上述した第1の実施形態で得られた効果に加え、さらに、4本のサポートバー35を設けていないことによって生じたスペースに複数(図示の例では4本)のリード33を追加的に設けることができるという利点が得られる。このことは、多ピン化に寄与する。

#### 【0058】

上述した第1、第2の実施形態では、電源／グランド端子用の導体部34をダイパッド32の周囲にリング状に形成した場合を例にとって説明したが、導体部34の形状はリング状に限定されないことはもちろんである。要は、ダイパッド32と各リード33との間の領域において該ダイパッド32の周囲を少なくとも部分的に囲むように導体部34が形成されていれば十分である。その一例を図10に示す。

#### 【0059】

図10は本発明の第3の実施形態に係るQFN等のリードレス・パッケージに使用されるリードフレームの構成を模式的に示したものであり、(a)はリードフレームの一部分(最終的に個々の半導体装置として分割される領域に対応する部分)を平面的に見た構成、(b)は(a)のA-A'線に沿って見たリードフレームの断面構造をそれぞれ示している。

#### 【0060】

本実施形態に係るリードフレーム30bは、第1の実施形態(図2)に係るリードフレーム30の構成と比べて、導体部34がダイパッド32の周囲を部分的に囲むように形成されている点、導体部34が電源／グランド端子用のリード33(P/G)に連結(接続)されていない点で、基本的に相違する。他の構成については、第1の実施形態の場合と同じであるので、その説明は省略する。

#### 【0061】

同様にリードフレーム30bの製造方法についても、基本的には図3及び図4に示した製造工程、あるいは図5に示した製造工程と同じであるので、その詳細な説明は省略する。但しこの第3の実施形態の場合、上述した構成上の相違に起因して、図11に示すように基板フレーム31bのパターン形状が異なる。すな

わち、基板フレーム 31b の各単位基板フレーム UFM において、ダイパッド 32 と各リード 33 との間の領域において該ダイパッド 32 の周囲を部分的に囲むようにして導体部 34 が形成され、この導体部 34 が、ダイパッド 32 に 4 箇所（図中、○で囲んだ R21～R24 で示す部分）で接続されている。そして、これら 4 箇所の部分 R21～R24 において凹部 38 が形成され（図 10（b）参照）、最終的に当該部分が切断される。

#### 【0062】

また、上述した第 1、第 2 の実施形態では、電源／グランド端子用の導体部 34 をダイパッド 32 の周囲に一重のリング状に形成した場合を例にとって説明したが、導体部 34 の形態としては、電源端子専用の導体部とグランド端子専用の導体部とに分けて（二重のリング状に）形成することも可能である。その一例を図 12 に示す。

#### 【0063】

図 12 は本発明の第 4 の実施形態に係る QFN 等のリードレス・パッケージに使用されるリードフレームの構成を模式的に示したものであり、（a）はリードフレームの一部分（最終的に個々の半導体装置として分割される領域に対応する部分）を平面的に見た構成、（b）は（a）の A-A' 線に沿って見たリードフレームの断面構造をそれぞれ示している。

#### 【0064】

本実施形態に係るリードフレーム 30c は、第 1 の実施形態（図 2）に係るリードフレーム 30 の構成と比べて、4 本のサポートバー 35 によって支持されているリング状の導体部 34G（グランド端子用）の内側にさらにリング状の導体部 34P（電源端子用）が形成されている点、いずれの導体部 34P、34G も電源端子用のリード 33（P）、グランド端子用のリード 33（G）に連結（接続）されていない点で、基本的に相違する。他の構成については、第 1 の実施形態の場合と同じであるので、その説明は省略する。

#### 【0065】

同様にリードフレーム 30c の製造方法についても、基本的には、図 3 及び図 4 に示した製造工程、あるいは図 5 に示した製造工程と同じであるので、その詳

細な説明は省略する。但しこの第4の実施形態の場合、上述した構成上の相違に起因して、図13に示すように基板フレーム31cのパターン形状が異なる。すなわち、基板フレーム31cの各单位基板フレームUFMにおいて、ダイパッド32と各リード33との間の領域において該ダイパッド32の周囲に二重のリング状に導体部34P、34Gが形成され、電源端子用の導体部34Pが、ダイパッド32に4箇所（図中、○で囲んだR31～R34で示す部分）で接続されると共に、グランド端子用の導体部34Gが、電源端子用の導体部34Pに4箇所（図中、○で囲んだR35～R38で示す部分）で接続されている。そして、これら8箇所の部分R31～R38において凹部38が形成され（図12（b）参照）、最終的に当該部分が切断される。

#### 【0066】

図14は第4の実施形態のリードフレーム30cを用いて作製されたQFNのパッケージ構造を有する半導体装置の一例を模式的に示したものであり、（a）は半導体装置40cを断面的に見た構成、（b）はパッケージのアセンブリ工程においてワイヤボンディングを行った後の状態を平面的に見た構成をそれぞれ示している。図中、41は半導体素子（チップ）、42、42（P）、42（G）はそれぞれボンディングワイヤ、43は封止樹脂を示す。図示のように、導体部34Pは、ボンディングワイヤ42（P）により電源端子用のリード33（P）に電氣的に接続されており、導体部34Gは、ボンディングワイヤ42（G）によりグランド端子用のリード33（G）に電氣的に接続されている。

#### 【0067】

また、上述した第1～第4の実施形態では、半導体素子を搭載するためのダイパッド32がリードフレーム上に画定されている場合を例にとって説明したが、リードフレームの中には、かかるダイパッドが画定されていない形態のものもある。その一例を図15に示す。

#### 【0068】

図15は本発明の第5の実施形態に係るQFN等のリードレス・パッケージに使用されるリードフレームの構成を模式的に示したものであり、（a）はリードフレームの一部分（最終的に個々の半導体装置として分割される領域に対応する



部分)を平面的に見た構成、(b)は(a)のA-A'線に沿って見たリードフレームの断面構造をそれぞれ示している。

#### 【0069】

本実施形態に係るリードフレーム30dは、第1の実施形態(図2)に係るリードフレーム30の構成と比べて、ダイパッド32の代わりに半導体素子搭載領域MRが画定されている点、リング状の導体部34を支持していた4本のサポートバー35が設けられていない点で、基本的に相違する。他の構成については、第1の実施形態の場合と同じであるので、その説明は省略する。

#### 【0070】

同様にリードフレーム30dの製造方法についても、基本的には図3及び図4に示した製造工程、あるいは図5に示した製造工程と同じであるので、その詳細な説明は省略する。但しこの第5の実施形態の場合、上述した構成上の相違に起因して、図16に示すように基板フレーム31dのパターン形状が異なる。すなわち、基板フレーム31dの各单位基板フレームUFMにおいて、半導体素子搭載領域MRと各リード33との間の領域において該ダイパッド32の周囲にリング状に導体部34が形成され、この導体部34が、各リード33に4箇所で接続されている。そして、このうち3箇所の部分(図中、○で囲んだR41~R43で示す部分)において凹部38が形成され(図15(b)参照)、最終的に当該部分が切断される。

#### 【0071】

図17は第5の実施形態のリードフレーム30dを用いて作製されたQFNのパッケージ構造を有する半導体装置の一例を模式的に示したものであり、(a)は半導体装置40dを断面的に見た構成、(b)はパッケージのアセンブリ工程においてワイヤボンディングを行った後の状態を平面的に見た構成をそれぞれ示している。図中、41は半導体素子(チップ)、42, 42(P/G)はそれぞれボンディングワイヤ、43は封止樹脂を示す。

#### 【0072】

この第5の実施形態に係るリードフレーム30d(図15)の構成によれば、第2の実施形態(図7)で得られた効果と同じ効果、すなわち、第1の実施形態

(図 2 ～ 図 6) で得られた効果に加え、サポートバー 3 5 を設けていないことによって生じたスペースにリード 3 3 を追加的に設けることができるという利点が得られる。

### 【 0 0 7 3 】

以上、第 1 ～ 第 5 の実施形態についてそれぞれ個別的に説明したが、当業者であれば、各実施形態を適宜変形し、また各実施形態を適宜組み合わせることができることは明らかであろう。

### 【 0 0 7 4 】

#### 【発明の効果】

以上説明したように本発明によれば、複数の電源／グランド端子を備えた半導体素子をリードフレームに実装する場合に、ダイパッド（又は半導体素子搭載領域）と当該ダイパッド（又は半導体素子搭載領域）に対応する複数のリードとの間の領域において該ダイパッド（又は半導体素子搭載領域）の周囲を少なくとも部分的に囲むように電源／グランド端子用の導体部を形成し、この導体部を電源／グランド端子専用のリードとして利用することにより、半導体素子の各電源／グランド端子に接続されるリードの数を削減することができ、パッケージ（半導体装置）の縮小化と共に、ワイヤボンディング位置の自由度を高めることができる。

#### 【図面の簡単な説明】

#### 【図 1】

従来の一形態に係るリードフレーム及びこれを用いた半導体装置の構成を示す図である。

#### 【図 2】

本発明の第 1 の実施形態に係るリードフレームの構成を示す図である。

#### 【図 3】

図 2 のリードフレームの製造工程の一例を示す平面図である。

#### 【図 4】

図 3 の製造工程に続く製造工程を示す断面図である。

#### 【図 5】

図2のリードフレームの製造工程の他の例(一部)を示す断面図である。

【図6】

図2のリードフレームを用いた半導体装置の一例を示す図である。

【図7】

本発明の第2の実施形態に係るリードフレームの構成を示す図である。

【図8】

図7のリードフレームの製造工程の一例(一部)を示す平面図である。

【図9】

図7のリードフレームを用いた半導体装置の一例を示す図である。

【図10】

本発明の第3の実施形態に係るリードフレームの構成を示す図である。

【図11】

図10のリードフレームの製造工程の一例(一部)を示す平面図である。

【図12】

本発明の第4の実施形態に係るリードフレームの構成を示す図である。

【図13】

図12のリードフレームの製造工程の一例(一部)を示す平面図である。

【図14】

図12のリードフレームを用いた半導体装置の一例を示す図である。

【図15】

本発明の第5の実施形態に係るリードフレームの構成を示す図である。

【図16】

図15のリードフレームの製造工程の一例(一部)を示す平面図である。

【図17】

図15のリードフレームを用いた半導体装置の一例を示す図である。

【符号の説明】

30, 30a, 30b, 30c, 30d…リードフレーム(の一部分)、

31, 31a, 31b, 31c, 31d…基板フレーム、

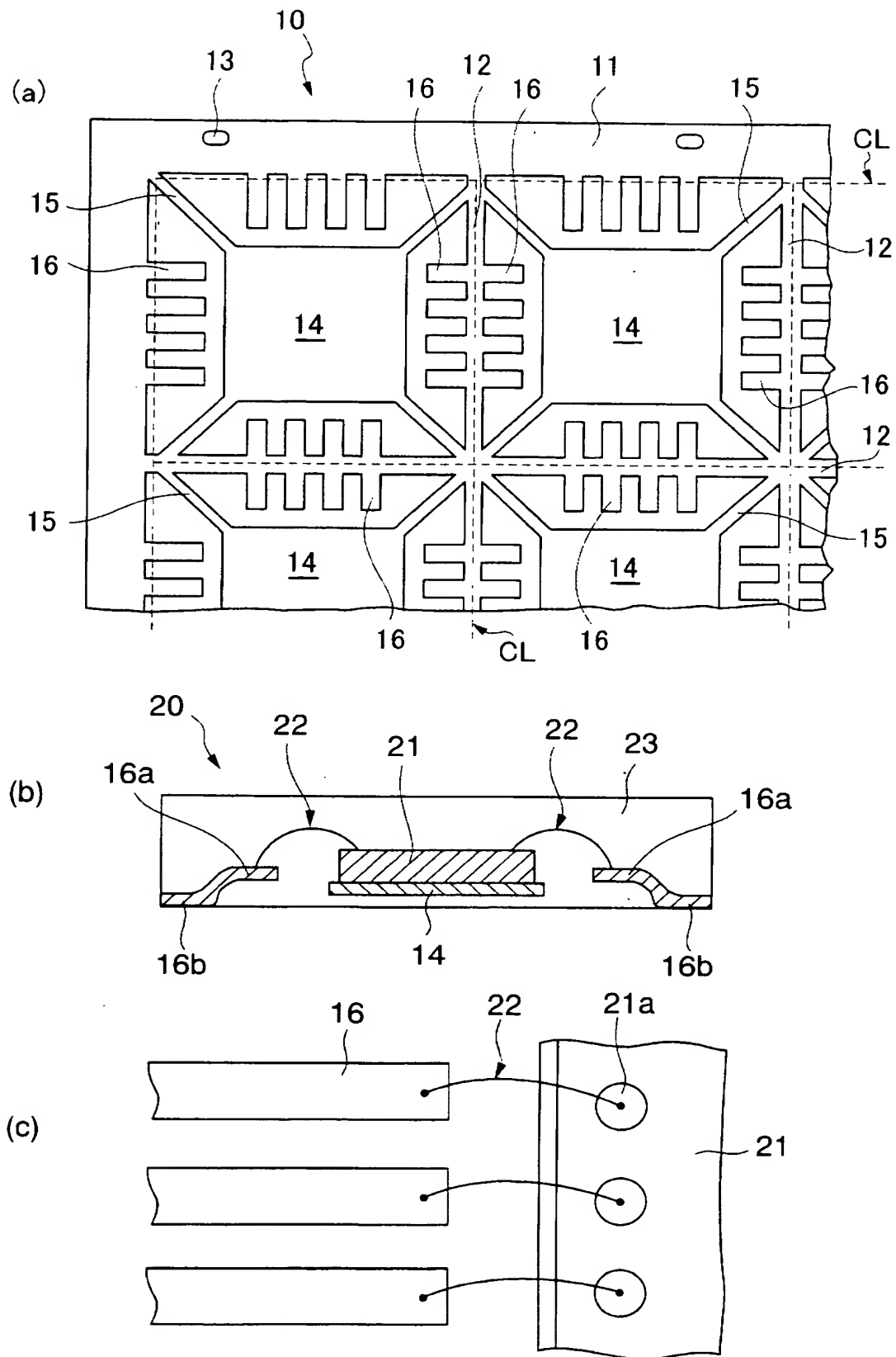
32…ダイパッド、

33…リード、  
34, 34P, 34G…電源／グランド端子用の導体部、  
35…サポートバー、  
36…金属膜、  
37…接着テープ、  
38…凹部、  
40, 40a, 40c, 40d…半導体装置、  
41…半導体素子（チップ）、  
42…ボンディングワイヤ、  
43…封止樹脂、  
MR…半導体素子搭載領域、  
MP…金属板、  
RP1, RP2…レジストパターン、  
R1～R4, R11～R14, R21～R24, R31～R34…導体部とダイ  
パッドを連結している部分、  
R15～R18, R41～R43…導体部とリードを連結している部分、  
R35～R38…内側の導体部と外側の導体部を連結している部分、  
UFM…単位基板フレーム。

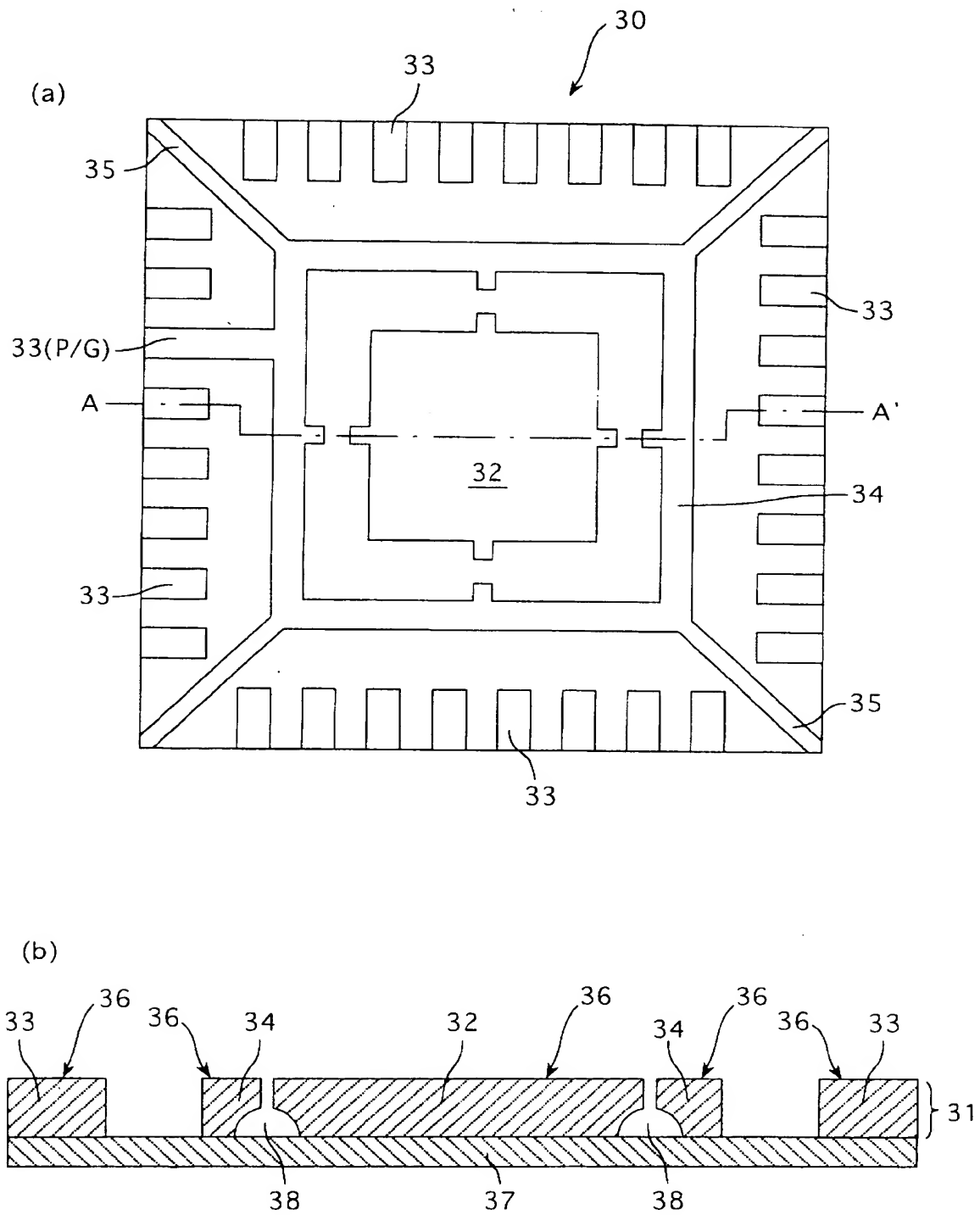
【書類名】

図面

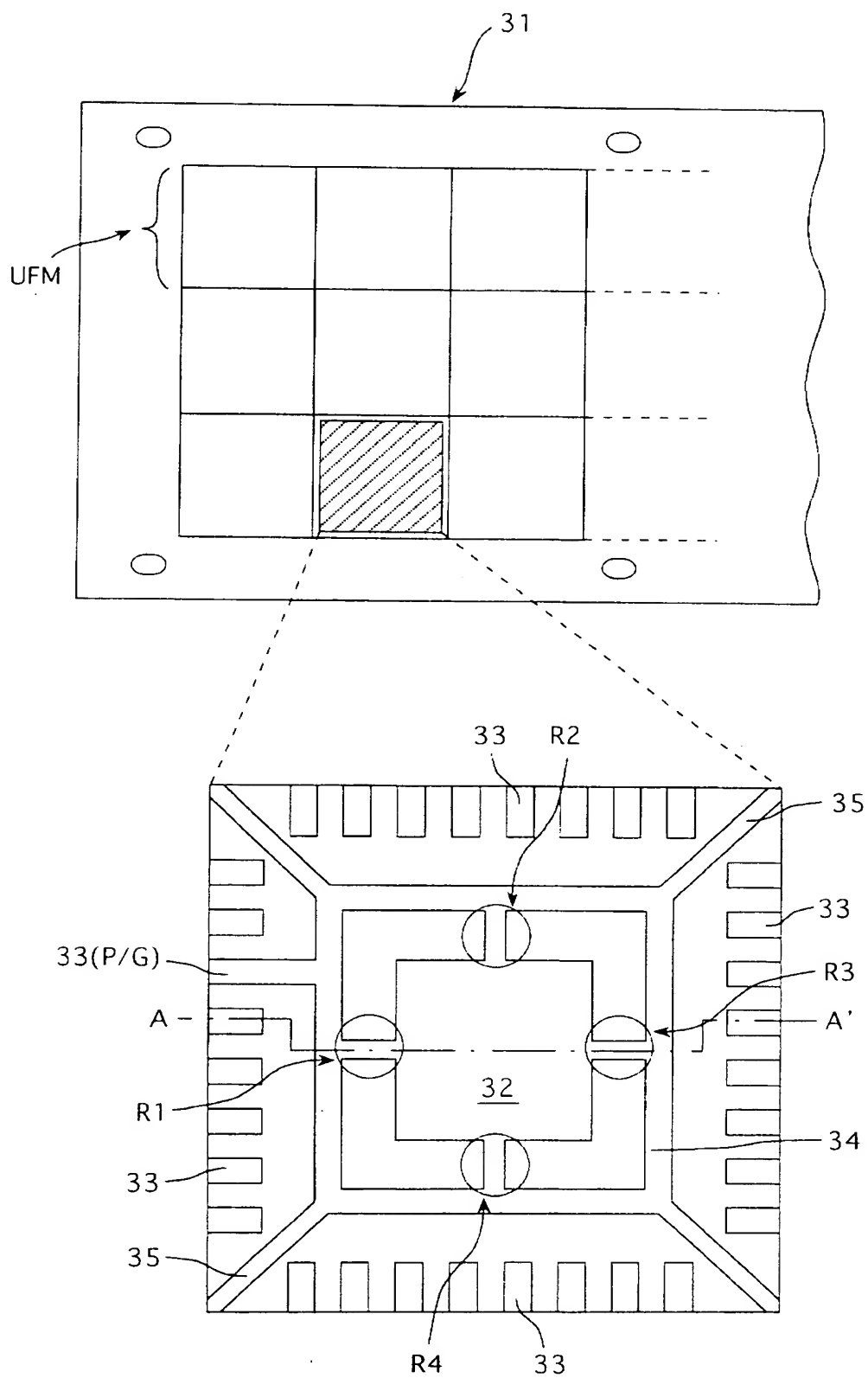
【図 1】



【図 2】



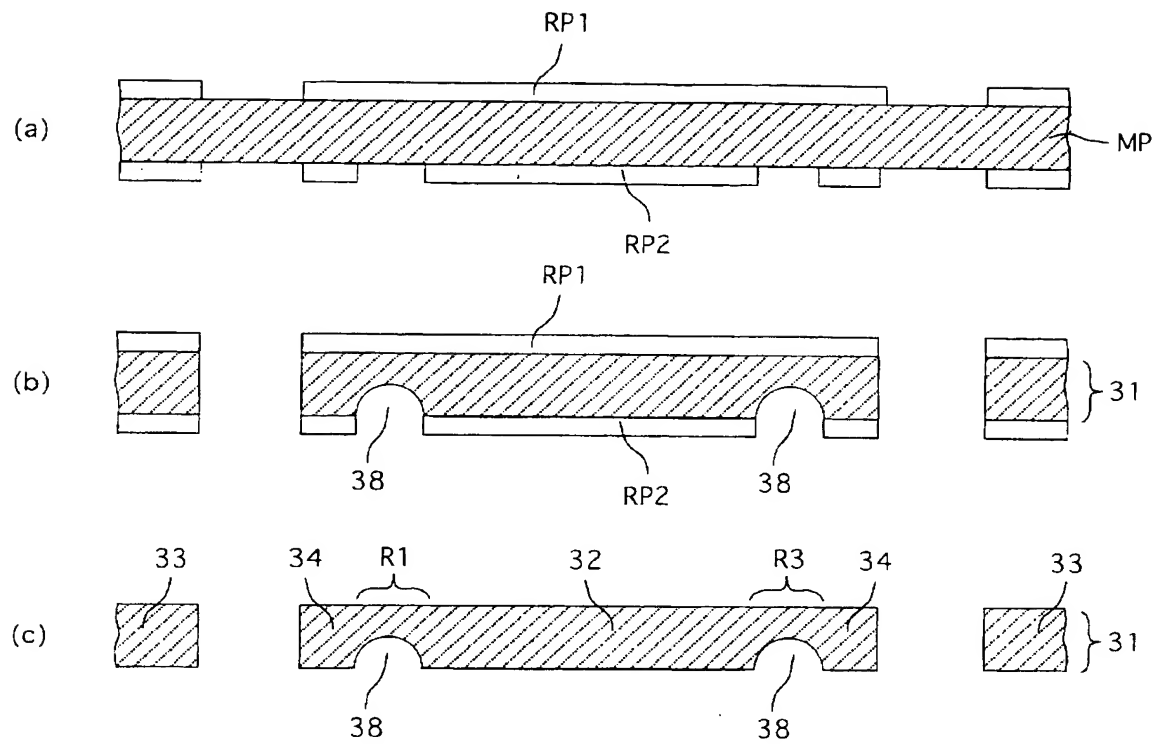
【図 3】



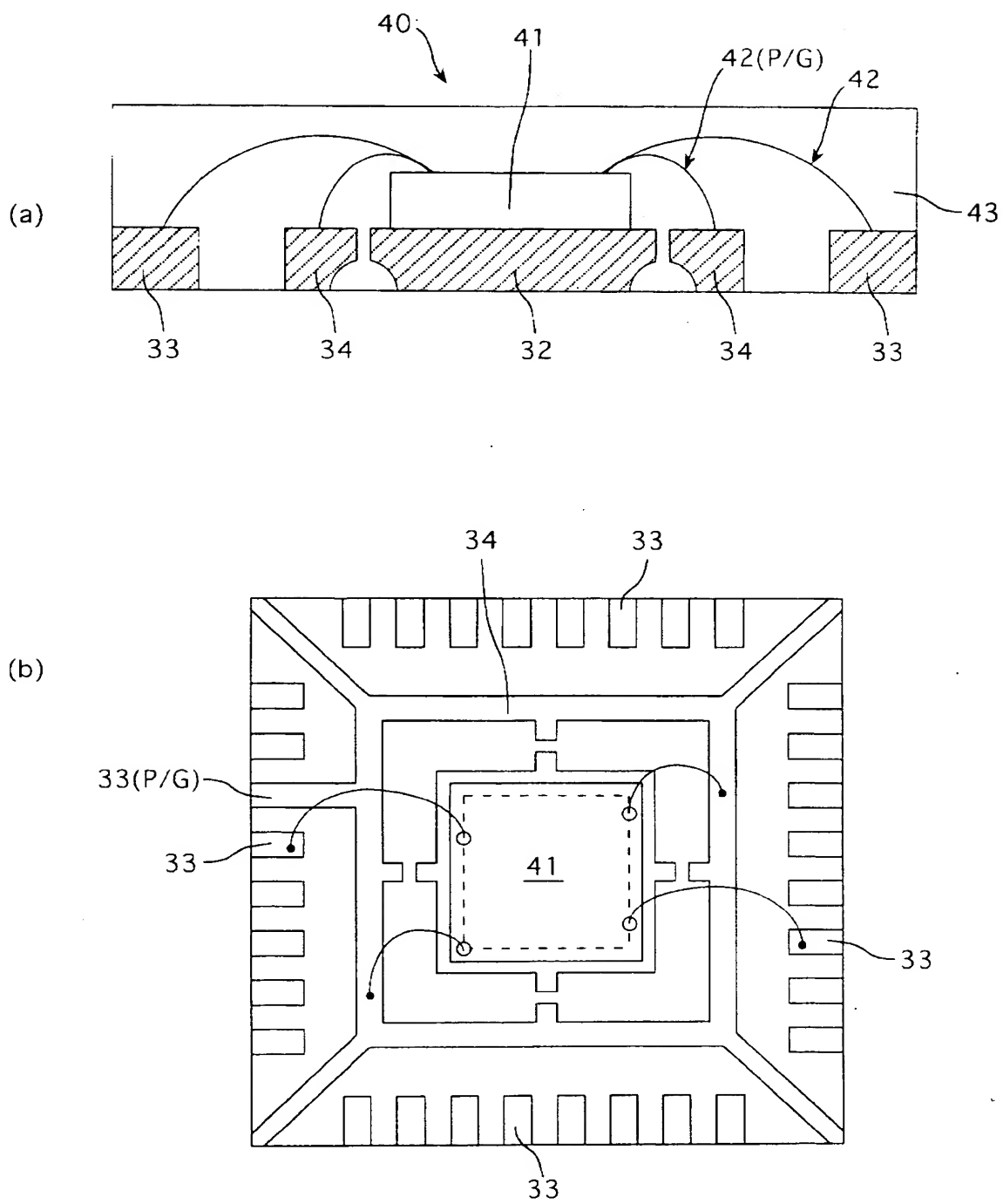




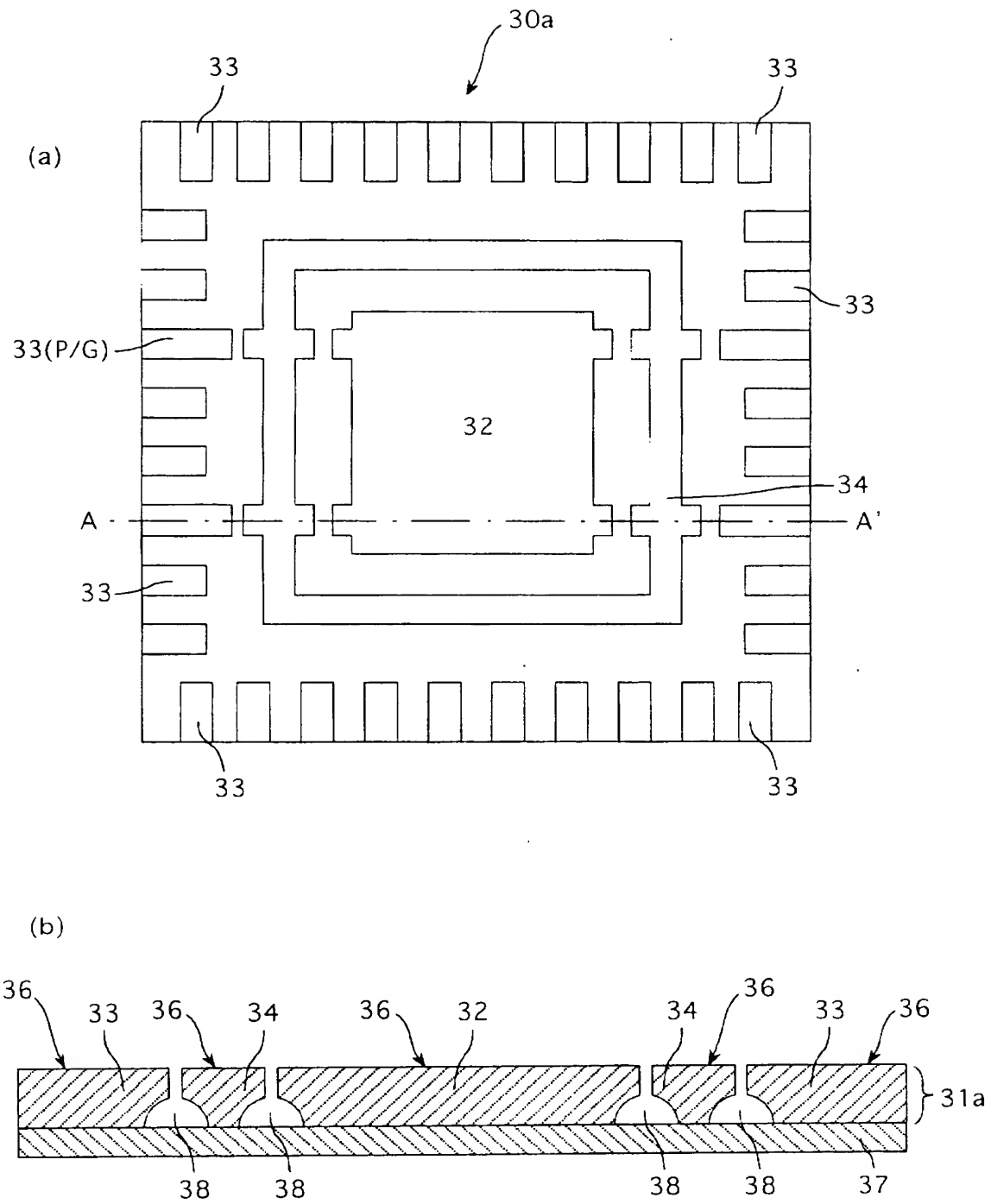
【図 5】



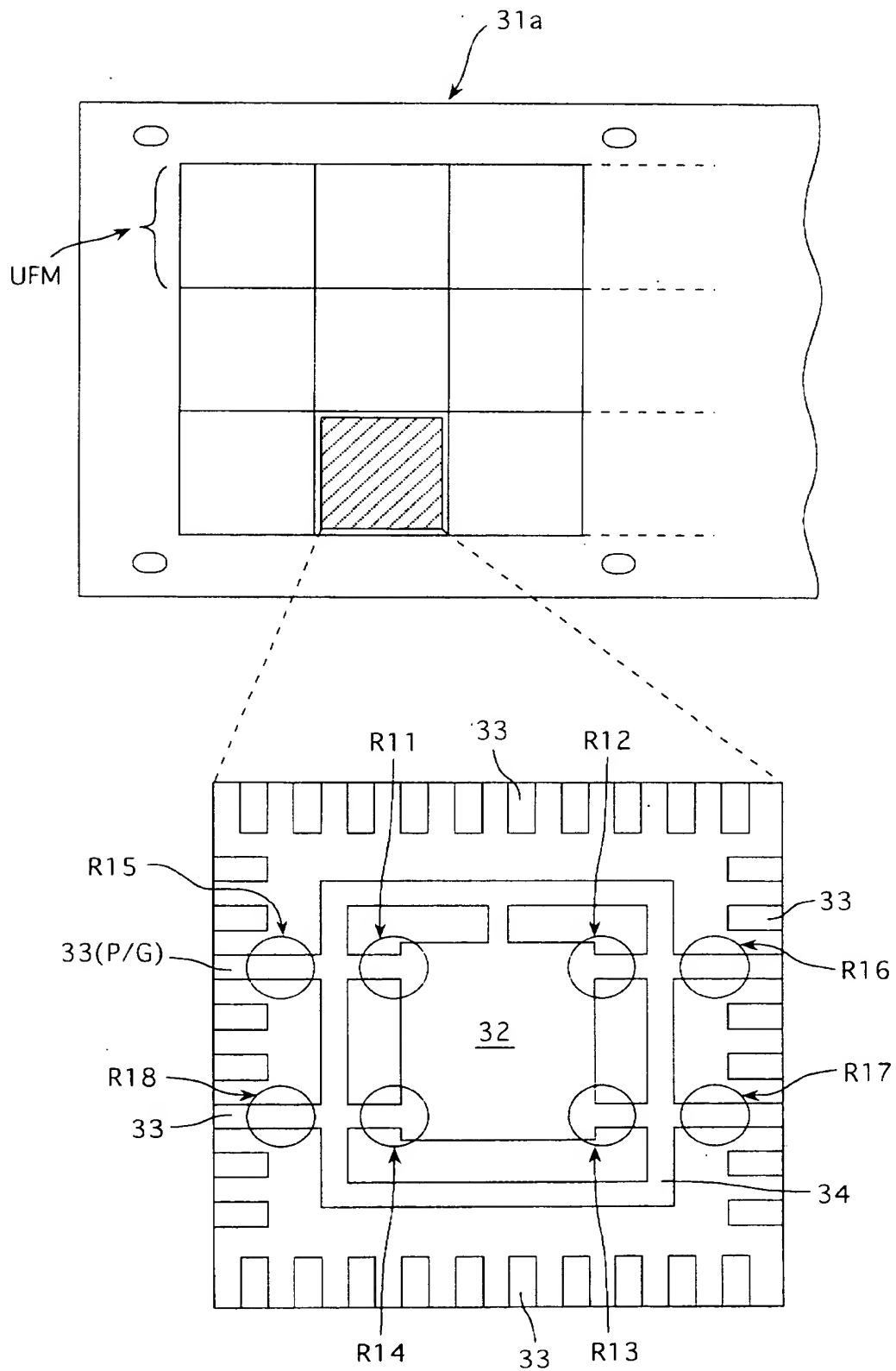
【図 6】



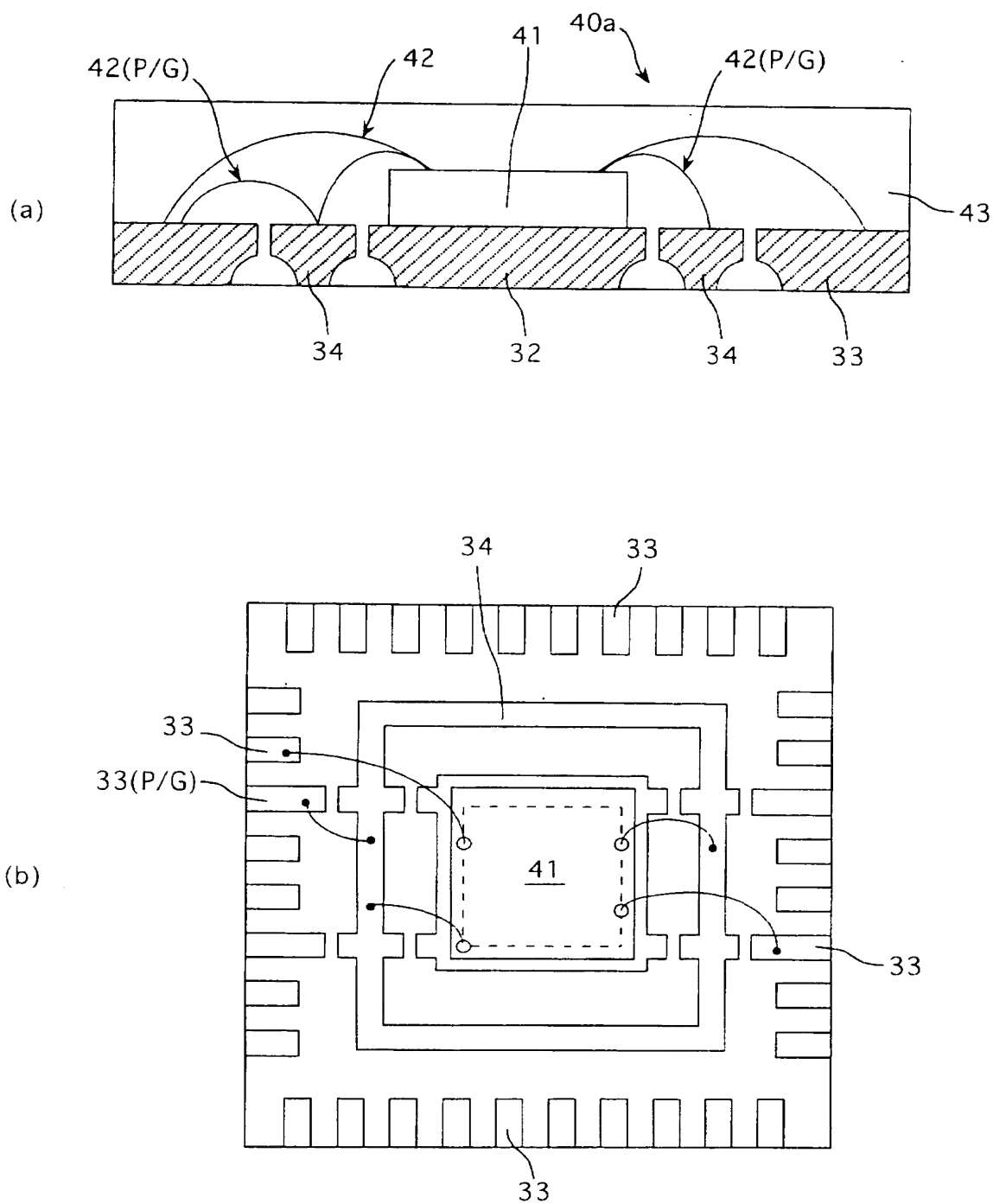
【図 7】



【図 8】

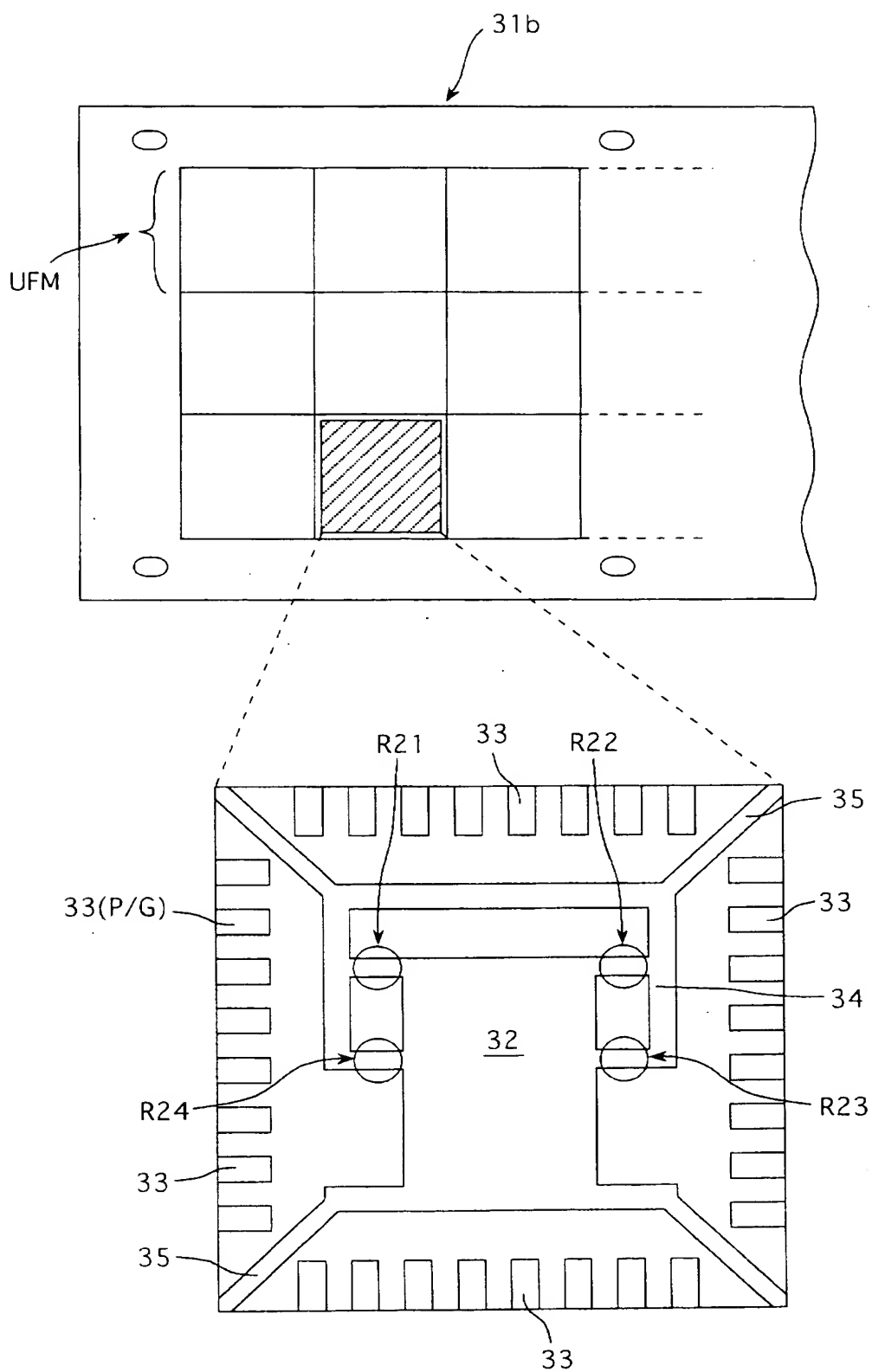


【図 9】



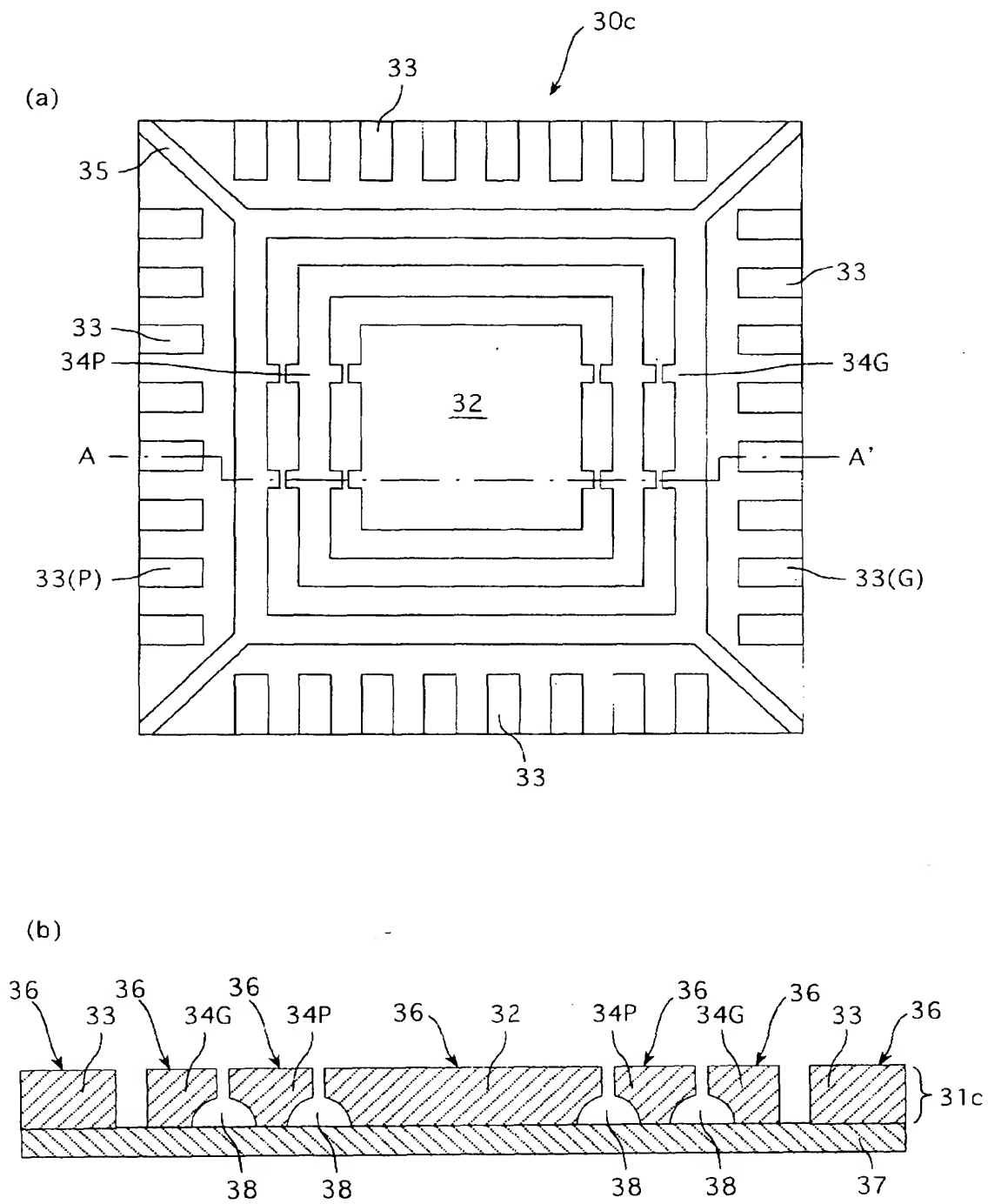


【図 11】

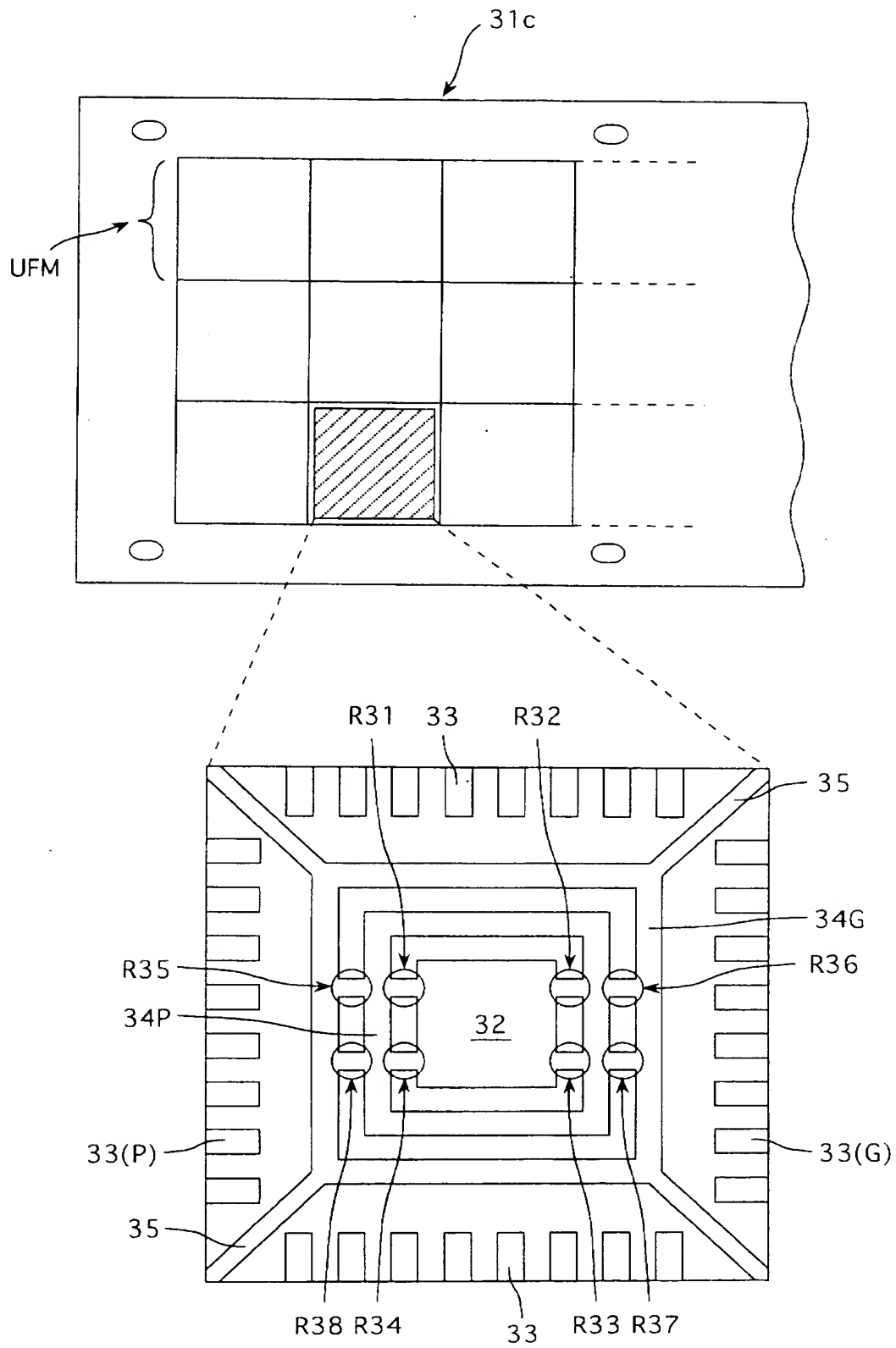




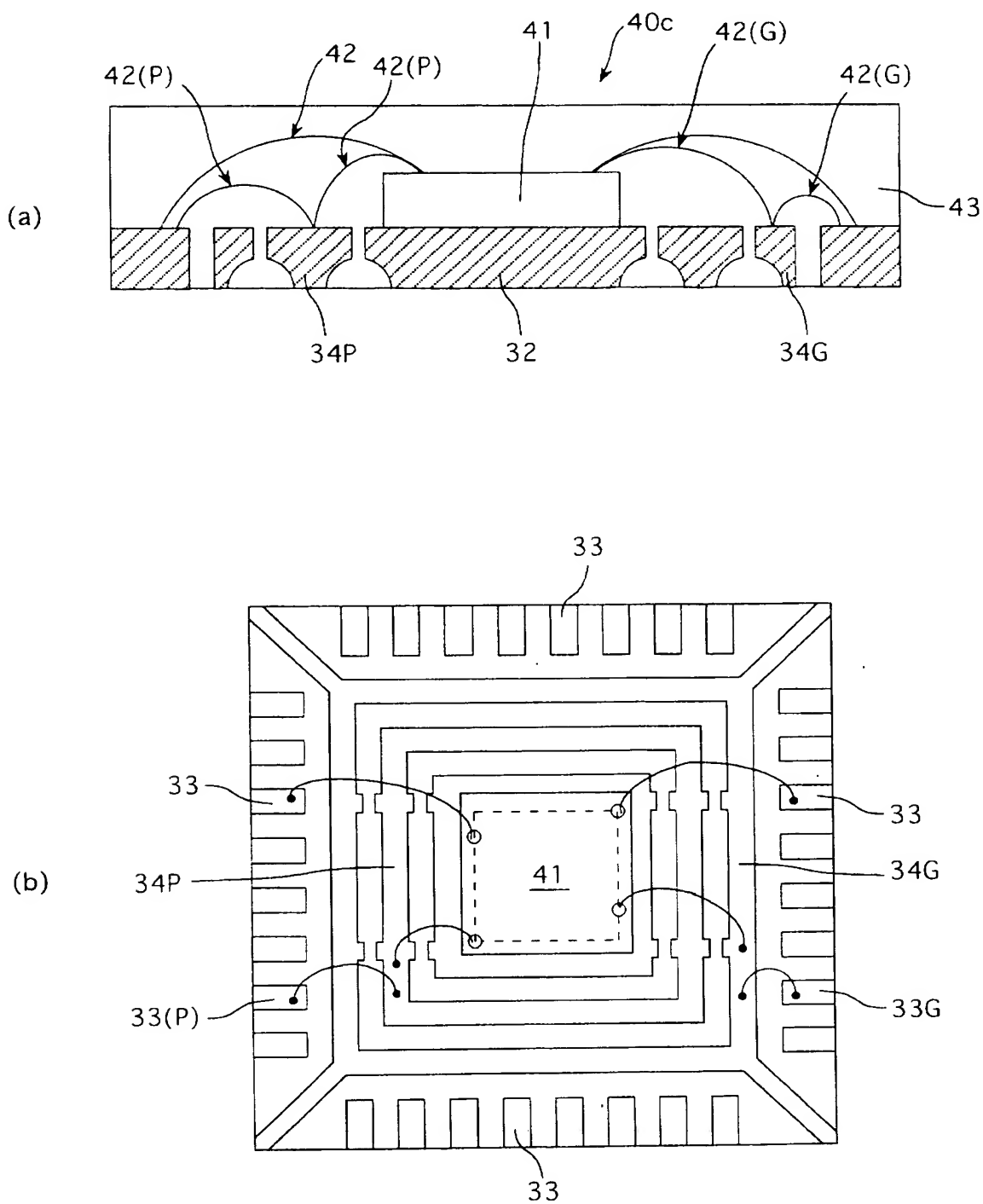
【図 12】



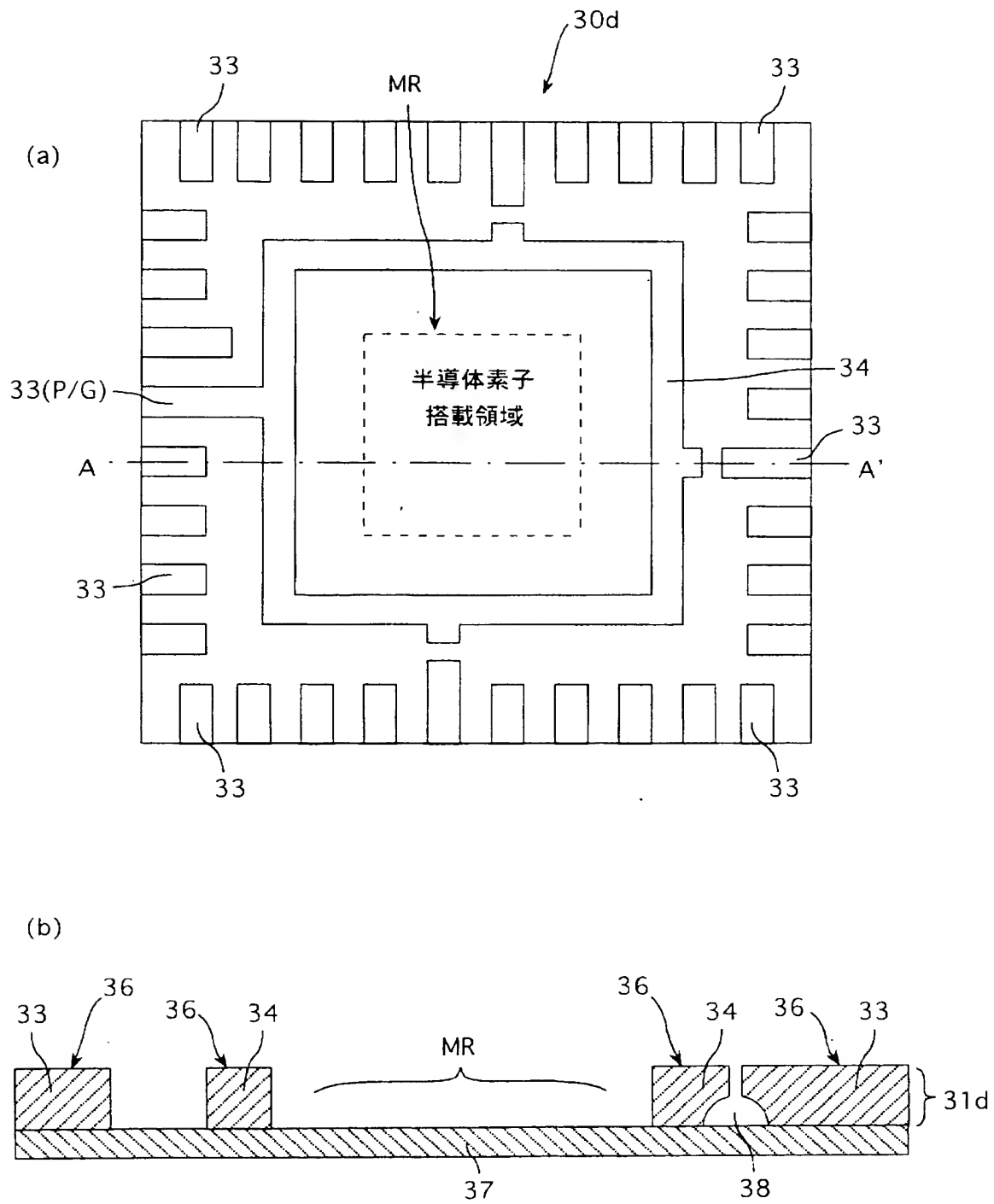
【図 13】



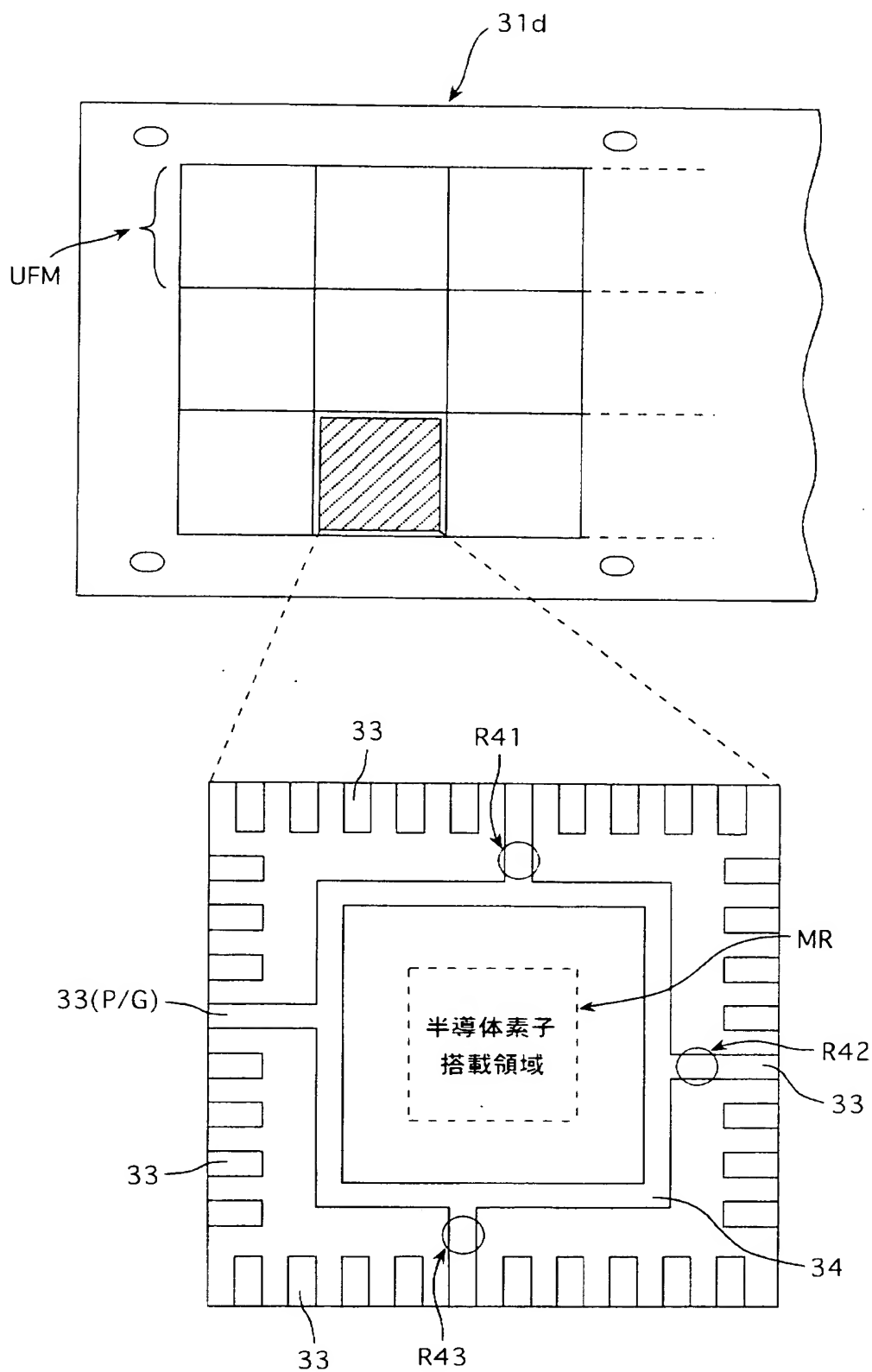
【図 14】



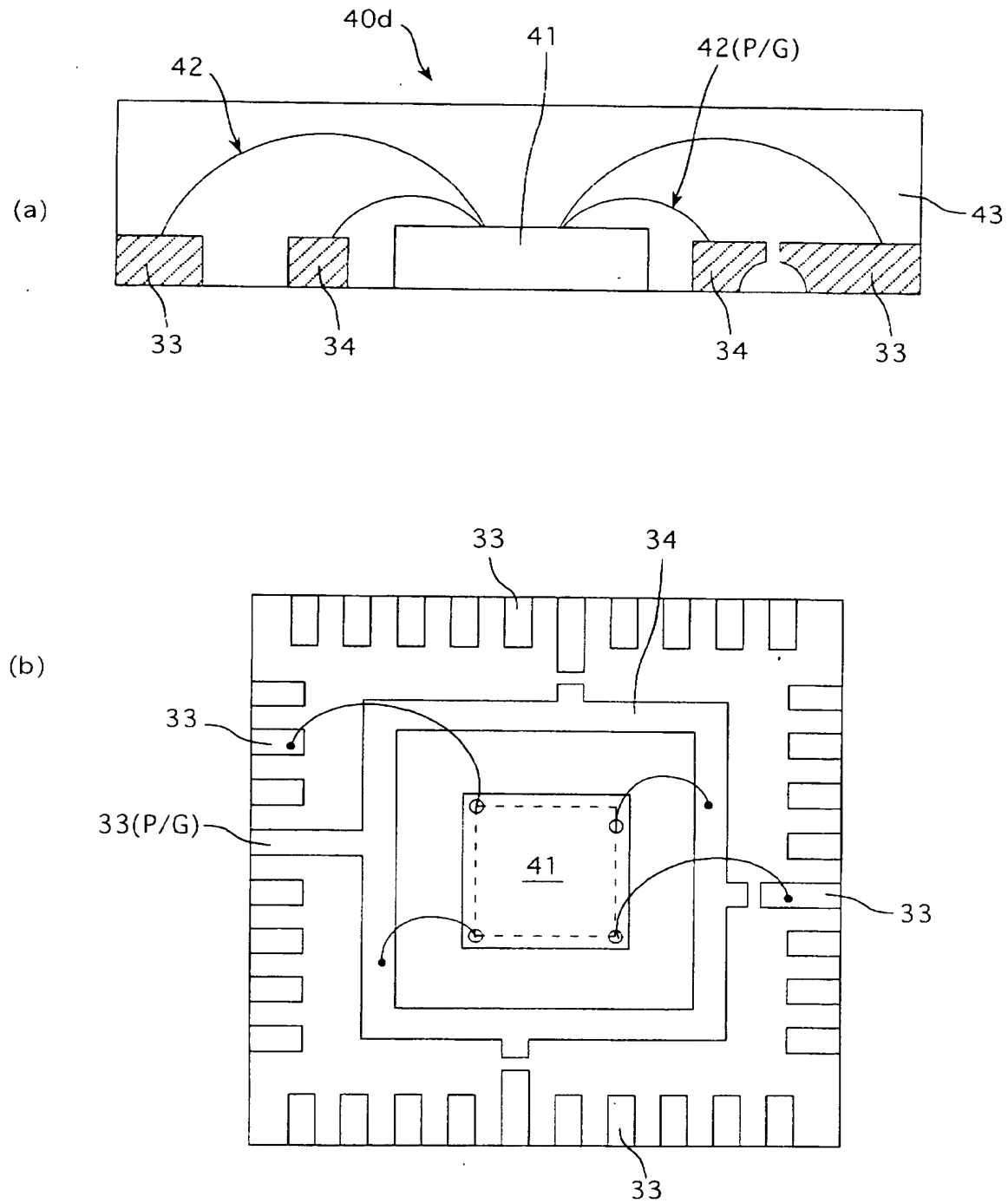
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 複数の電源／グランド端子を備えた半導体素子をリードフレームに実装する場合に、当該電源／グランド端子に接続されるリードの数を削減し、パッケージ（半導体装置）の縮小化に寄与すると共に、ワイヤボンディング位置の自由度を高めることを目的とする。

【解決手段】 搭載する半導体素子に対応してダイパッド 3 2 が画定され、当該ダイパッド 3 2 に対応して最終的に半導体装置として分割される領域の外周に沿って複数のリード 3 3 が配列され、さらに、ダイパッド 3 2 と対応する各リード 3 3 との間の領域において当該ダイパッド 3 2 の周囲に電源／グランド端子用の導体部 3 4 が形成されている。ダイパッド 3 2、各リード 3 3 及び電源／グランド端子用の導体部 3 4 は、接着テープ 3 7 によって支持されている。

【選択図】 図 2

特願 2002-228661

出願人履歴情報

識別番号

[000190688]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舍利田711番地

氏 名

新光電気工業株式会社